

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-162031

(43)Date of publication of application : 26.06.1989

(51)Int.Cl.

H04L 11/00

(21)Application number : 62-320660

(71)Applicant : NEC CORP

(22)Date of filing : 18.12.1987

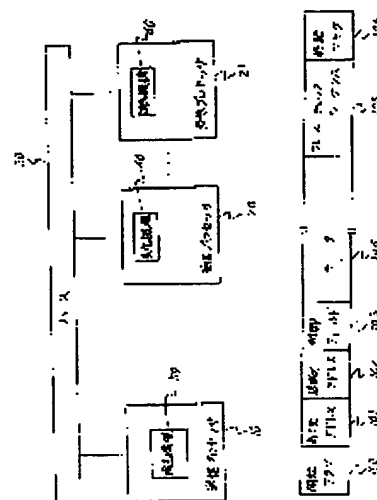
(72)Inventor : IWANO TATSUYA

(54) INTERPOLATING SYSTEM FOR BROADCASTING SIGNAL

(57)Abstract:

PURPOSE: To evade the possibility of a broadcasting signal to be lacked in a specified processor by providing a mechanism, to add the address of the processor, which can not receive the broadcasting signal, on the broadcasting signal and a means to check the added part of a signal, which is returned, in a transmission source and to individually execute transmission.

CONSTITUTION: A transmission source processor 10 assembles the form of the broadcasting signal and the signal is flown on a an annular bus 30. This signal is received in a neighboring processor 20 and recognized as the broadcasting signal according to a destination address 101. At such a time, whether a reception buffer is idle or not is checked by a reception mechanism 40 in the processor 20 and when the buffer is idle, the signal is fetched into the receiving buffer. When the buffer is not idle, the address of the processor is added to the end of a data part 104 and set on the annular bus 30 again. Even in a processor 21, same operation is also executed. When the operation is turned around all the processors and returned to the transmission source processor 10, the data part 104 is observed and a transmission bite number and a reception bite number are compared. Since the address of the processor, which can not execute reception, is included in the differential part of the bite numbers, the address is individually designated and individually transmitted to the respective processors.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A)

平1-162031

⑬ Int.Cl.⁴
H 04 L 11/00識別記号
3 3 0庁内整理番号
7928-5K

⑭ 公開 平成1年(1989)6月26日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 同報信号の補完方式

⑯ 特 願 昭62-320660

⑰ 出 願 昭62(1987)12月18日

⑱ 発 明 者 岩 野 達 也 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

同報信号の補完方式

特許請求の範囲

環状に結合された複数のプロセッサに同じデータを送達する同報通信において、送信元プロセッサを除く全プロセッサを受信側プロセッサに指定し、受信側プロセッサの輻輳により同報信号が特定のプロセッサで欠落したことを前記送信元プロセッサに通知し、前記送信元プロセッサは前記欠落を検出し、前記同報信号を前記特定のプロセッサに再送することを特徴とする同報信号の補完方式。

発明の詳細な説明

〔産業上の利用分野〕

本発明は同報信号の補完方式、特に環状に接続した複数プロセッサに対する同報信号の補完方式

に関する。

〔従来の技術〕

従来、この種の同報通式方式は受信側のプロセッサの状態に関係なく信号を送り、かつ受信側のプロセッサからの受領の応答は送信元プロセッサの負荷となるので行なわない。したがって同報信号はあるプロセッサで欠落することがあることを前提として使用していた。

〔発明が解決しようとする問題点〕

上述した従来の同報通信方式では全てのプロセッサで受領できる保証がないので、重要な信号をこの機能だけで送る事は出来ない。また、どのプロセッサが受信できなかったか判らないので、全てのプロセッサに補償の為の信号を回覧する必要があった。あるいは同報機能を使わずに全てのプロセッサに対して個別に送信をしていた。

本発明の目的は周回する同報フィールドの中に受信の可否を報告する手段を設けることによって上記の問題点を改善した同報信号の補完方式を提供することにある。

〔問題点を解決するための手段〕

本発明の同報信号の補完方式は、環状に結合された複数のプロセッサに同じデータを送達する同報通信において、送信元プロセッサを除く全プロセッサを受信側プロセッサに指定し、受信側プロセッサの輻輳により同報信号が特定のプロセッサで欠落したことを前記送信元プロセッサに通知し、前記送信元プロセッサは前記欠落を検出し、前記同報信号を前記特定のプロセッサに再送するようにして実現される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示す構成図である。同図において送信元プロセッサを10、受信プロセッサを20、21としている。ここで環状に全プロセッサを接続するバス30は方向性を有している。受信機構40は同報信号を検出する機構と受け入れ可能であるかCHECKする機構である。再送機構50は一周して戻って来た同報信号の受

け入れ状態を引き取って洩れがある時に再送する手段である。

第2図はこの環状のバス30上を流れる信号のフォーマットである。信号先頭から開始フラグ100、あて先アドレス101、送信元アドレス102、制御フィールド103、データ104、フレームチェックシーケンス105、終結フラグ106で構成される。ここであて先アドレス101が特定な値のとき同報と認識する。

制御フィールド103はその信号がデータであるのか、それを受け入れた事を示す受領信号なのか判定するのに使う。データのエリア104には同報信号が受けとれなかったプロセッサのアドレスが足されてゆく。すなわち送信元プロセッサは同報信号が一廻りして戻って来た時この信号のバイト数を見て送信時のバイト数と比較して大きかった時、その差分のバイト数分とりだしてその自身のプロセッサのアドレスを見ることによってどのプロセッサで同報信号が受信できなかったか判る。

送信元プロセッサ10は同報信号の形式を組立てて環状のバス30上に信号を流す。この信号は隣のプロセッサ20で受信され、あて先アドレス101により同報信号と認識される。この時、受信バッファが空いているかプロセッサ20内の受信機構40がチェックし、空いていればその受信バッファに取り込む。とり込んだ後、空いていなければそのプロセッサのアドレスをデータ部104の尻に付加してフレームチェックシーケンス105を付与して再度環状のバス30上に送り出す。プロセッサ21でも同様の動作を行なう。

全プロセッサを一周して送信元プロセッサ10に戻って来た時、データ104を見て送信バイト数と受信バイト数を比較し、受信バイトが送信バイトより大であれば、その差分には受信できなかったプロセッサのアドレスが入っているので、個別にそのアドレスを指定して各プロセッサ宛に個別に送信する。

〔発明の効果〕

以上説明した様に本発明は同報信号を受け入れ

られなかったプロセッサのアドレスを同報信号上に付加する機構と送信元で戻って来た信号の付加部分をチェックして個別で送信する手段を有する事により、同報信号が特定のプロセッサで抜ける可能性を回避できる効果がある。

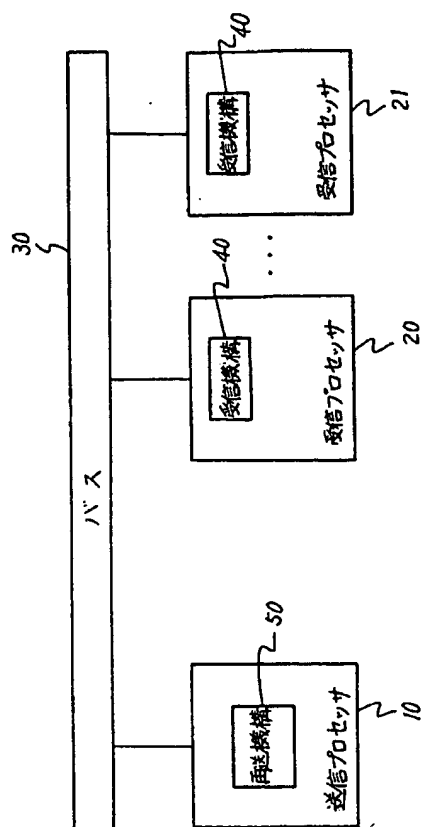
図面の簡単な説明

第1図は本発明の一実施例を示す構成図、第2図はバス上の信号のフォーマットを示す説明図である。

10…送信元プロセッサ、20、21…受信プロセッサ、30…環状バス、40…受信機構、50…再送機構。

代理人 弁理士 内 原 晋

第 1 図



第 2 図

